

文档编号: AN1065

上海东软载波微电子有限公司

应用笔记

ES32W0030 Hardware Reference Design

修订历史

版本	修订日期	修改概要
V1.0	2023-7-20	初版
V1.1	2024-4-28	1.1 小节增加对射频网络元器件稳定性要求的描述

地 址：中国上海市徐汇区古美路 1515 号凤凰园 12 号楼 3 楼

E-mail: support@essemi.com

电 话：+86-21-60910333

传 真：+86-21-60914991

网 址：http://www.essemi.com

版权所有©

上海东软载波微电子有限公司

本资料内容为上海东软载波微电子有限公司在现有数据资料基础上慎重且力求准确无误编制而成，本资料中所记载的实例以正确的使用方法和标准操作为前提，使用方在应用该等实例时请充分考虑外部诸条件，上海东软载波微电子有限公司不担保或确认该等实例在使用方的适用性、适当性或完整性，上海东软载波微电子有限公司亦不对使用方因使用本资料所有内容而可能或已经带来的风险或后果承担任何法律责任。基于使本资料的内容更加完善等原因，上海东软载波微电子有限公司保留未经预告的修改权。使用方如需获得最新的产品信息，请随时用上述联系方式与上海东软载波微电子有限公司联系。

目录

内容目录

第 1 章	原理图参考设计	4
1.1	原理图	4
1.2	外围元件清单	5
1.3	不同频率下的射频元件清单	5
第 2 章	PCB 参考设计	6
第 3 章	制版工艺	7

图目录

图 1-1	参考设计	4
图 2-1	PCB 参考设计	6

表目录

表 1-1	外围电路 BOM	5
表 1-2	射频电路 BOM	5
表 3-1	PCB 制版工艺参数	7

第 1 章 原理图参考设计

1.1 原理图

ES32W0030 应用原理图如下图所示。

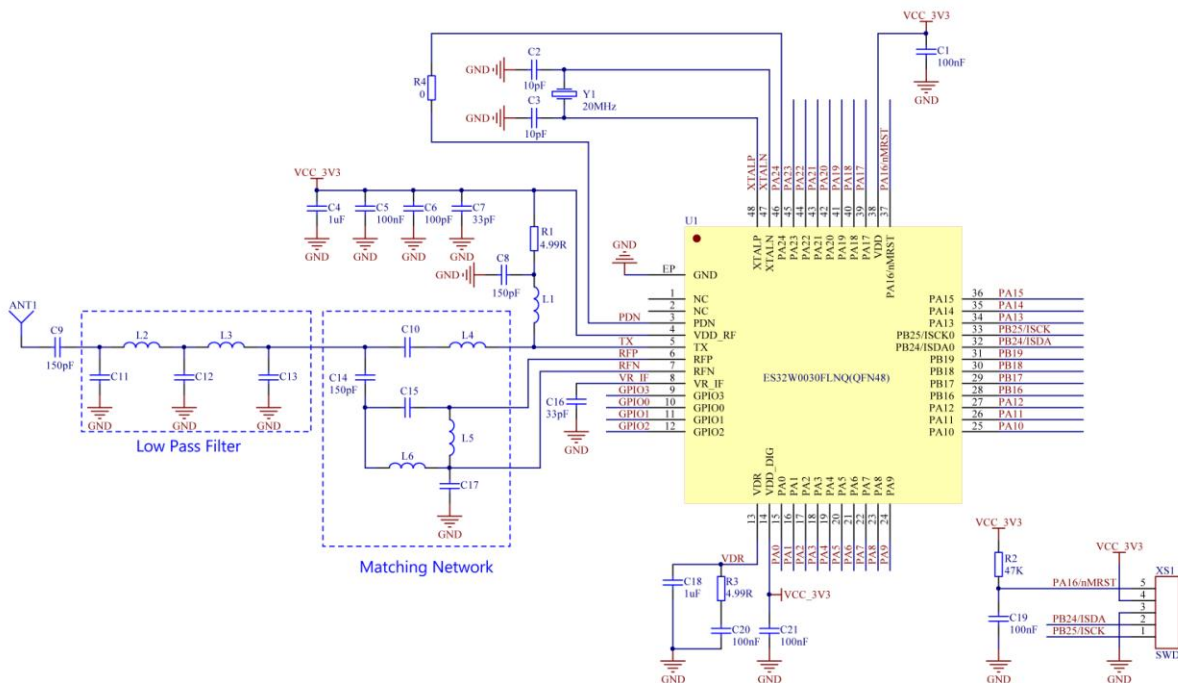


图 1-1 参考设计

ES32W0030 典型应用系统主要包括：晶体振荡电路、TX/RX 射频匹配网络、低通滤波器和电源滤波电路。

晶体振荡电路推荐采用 20MHz 无源贴片晶体，C2、C3 是晶体负载电容，其参数将影响晶体振荡频率，需参考晶体具体规格来选择。根据应用需求的不同，推荐用户选择频率稳定度 $\geq \pm 10\text{ppm}$ 的晶振。

射频网络包括阻抗匹配网络（Matching Network）和低通滤波器（Low Pass Filter）两部分。其中低通滤波器是发射（TX）和接收（RX）共用，阻抗匹配网络则分成 TX 和 RX 两部分。对于 Direct Tie 结构，TX 和 RX 阻抗匹配网络直接通过 C14 电容连接。阻抗匹配网络实现射频收发器芯片内部阻抗到外围 50 欧姆阻抗的变换。低通滤波器采用 LC 低通滤波电路，用于滤除有用信号以外的高频干扰杂波。射频网络的元件选型对通信将产生很大影响，推荐选用高频器件。需要注意的是，不同收发频率下的射频网络元件的取值是不同的（具体参考表 1-2）。此外，由于射频网络为关键电路，使用稳定性高的元器件可提升产品质量。通常容值小于 1nF 的电容推荐采用 NP0 (C0G) 电容，而电感推荐采用精度较高的高频叠层电感。

低噪声的电源可显著提升射频电路的稳定性。推荐通过 LDO 稳压后给芯片供电，并且在靠近芯片电源管脚放置不同容量的电容，滤除电源上不同频率的干扰杂波，保证芯片能够稳定的工作。

若应用场景不需要进入 Power Down 模式，则 PDN 脚可以直接接地；反之，若需进入 Power Down 模式，则 PDN 脚可接 GPIO 口来控制，参考设计选择了 PA24。

1.2 外围电路 BOM

下面给出外围电路 BOM。

Part	Designator	Footprint	Description
10pF	C2、C3	0402	NP0 (C0G) 电容, $\pm 0.25\text{pF}$
33pF	C7、C16	0402	NP0 (C0G) 电容, $\pm 0.25\text{pF}$
100pF	C6	0402	NP0 (C0G) 电容, $\pm 10\%$
150pF	C8、C9、C14	0402	NP0 (C0G) 电容, $\pm 10\%$
100nF	C1、C5、C19、C20、C21	0402	X7R 电容, $\pm 10\%$
1uF	C4、C18	0402	X7R 电容, $\pm 10\%$
—	C11、C12、C13、C10、C15、C17	0402	NP0 (C0G) 电容, $\pm 0.25\text{pF}$ (取值参考表 1-2)
—	L1、L2、L3、L4、L5、L6	0402	高频叠层电感, $\pm 5\%$ (取值参考表 1-2)
4.99 Ω	R1、R3	0402	电阻, $\pm 1\%$
0 Ω	R4	0402	电阻, $\pm 5\%$
47K Ω	R2	0402	电阻, $\pm 5\%$
20MHz	Y1	SMD3225	无源晶振, $\pm 10\text{ppm}$
ES32W0030	U1	QFN48(6X6)	射频 Soc 芯片
天线接口	ANT1	—	导线天线接口
编程接口	XS1	SIP5	2.54mm 间距插针

表 1-1 外围电路 BOM

1.3 射频电路 BOM

由于 ES32W0030 支持多个频率, 而不同频率下的射频网络元件取值略有不同。

下面给出不同频率下的射频电路 BOM。

标号 频率	L2,L3 (nH)	C11,C13 (pF)	C12 (pF)	L4 (nH)	C10 (pF)	L5 (nH)	L6 (nH)	C15 (pF)	C17 (pF)	L1 (nH)
315MHz	22	12	22	27	6.8	47	27	3.3	6.8	120
433MHz	18	6.8	12	22	6.8	33	27	5.6	6.8	100
779MHz	6.8	6.8	12	6.8	6.8	22	10	3.3	2.7	6.8
868MHz	5.6	6.8	12	5.6	5.6	10	8.2	2.7	5.6	5.6
915MHz	4.7	6.8	12	6.8	5.6	8.2	8.2	2.7	5.6	6.8

表 1-2 射频电路 BOM

第 2 章 PCB 参考设计

ES32W0030 的 PCB 参考设计采用双面板，注意事项如下：

- 所有元器件均布局在双面板顶层，底层需提供完整的参考地平面。
- 两个电感互连推荐采用 L 形布局，减小互感；其它的射频元件，推荐采用一字型或 L 型布局，不推荐 U 型或者 Z 型布局。
- 射频走线应尽可能短；L5 连接芯片管脚 RFP、RFN 的走线是差分线，需平行、等长布线，以保证差分性能。
- 所有射频电路周围应“铺地”（即对地线铺铜），且铺地区域应均匀放置接地过孔，以降低接地阻抗。
- 数字电路、晶振电路及其它大信号电路需尽量远离射频前端电路。
- 若电源与数字信号走底层，应避免对地平面的分割，且尽可能远离射频电路；禁止在射频芯片下的底层区域走线，避免破坏底层地平面的完整性。推荐在芯片底部中央焊盘和周围管脚之间的空隙区域走电源线。为了降低短路风险，可在电源走线上增加丝印进行保护。
- 滤波电容应尽可能靠近芯片电源管脚，提升滤波效果。
- 射频走线宽度和铺铜间距，可参考第 3 章《制版工艺》。

下面给出 PCB 参考设计图。

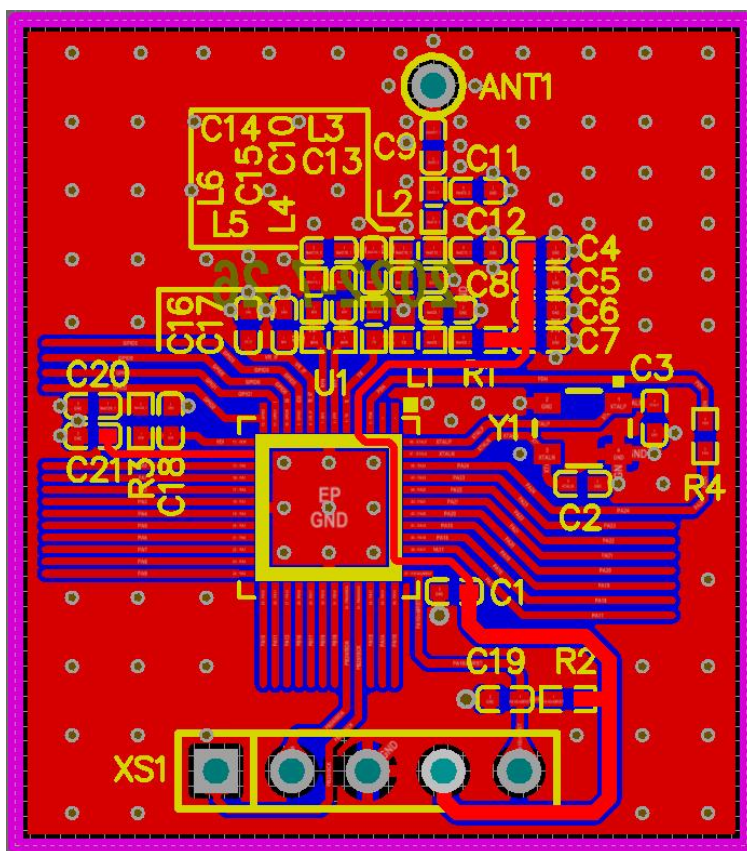


图 2-1 PCB 参考设计

第 3 章 制版工艺

由于高频信号的存在，在 RF PCB 制版过程中需要考虑 PCB 工厂的阻抗控制参数。下面给出的是本参考设计的制版工艺参数。

制版规格	参数
板材	FR4
板厚 ^注	1.2mm
电源走线	25mil
50 欧姆射频走线宽度 ^注	20mil
铜厚	1.4mil (1 盎司)
接地铺铜与射频走线的间距 ^注	5.1mil

表 3-1 PCB 制版工艺参数

注：为保证射频走线特征阻抗为 50 欧姆，可以根据不同板厚，按照以下参数进行调整，该参数为 Si9000 仿真值，仅供参考。仿真条件：板材为 FR4，介电常数为 4.3、阻焊油的介电常数为 4.2。这些参数对仿真结果有一定影响，具体参数需要与 PCB 厂家确认再仿真。如果需要更加准确的结果，则需要 PCB 厂家进行阻抗控制。

(1) 若射频走线采用 20mil 线宽：

板厚为 1.0mm 时，接地铺铜与走线间距为 5.3mil

板厚为 1.2mm 时，接地铺铜与走线间距为 5.1mil

板厚为 1.6mm 时，接地铺铜与走线间距为 5mil

(3) 若射频走线采用 25mil 线宽：

板厚为 1.0mm 时，接地铺铜与走线间距为 6.3mil

板厚为 1.2mm 时，接地铺铜与走线间距为 6mil

板厚为 1.6mm 时，接地铺铜与走线间距为 5.7mil

(3) 若射频走线采用 30mil 线宽：

板厚为 1.0mm 时，接地铺铜与走线间距为 7.6mil

板厚为 1.2mm 时，接地铺铜与走线间距为 7.1mil

板厚为 1.6mm 时，接地铺铜与走线间距为 6.6mil